

中華民國專利公報 [19] [12]

[11]公告編號：432799

[44]中華民國 90年 (2001) 05月01日

發明

全 11 頁

[51] Int.Cl. 06: H03K5/00

[54]名 稱：倍頻電路

[21]申請案號：088106908

[22]申請日期：中華民國 88年 (1999) 04月28日

[30]優先權：[31]119553

[32]1998/04/28 [33]日本

[72]發明人：

谷吉逸朗

日本

[71]申請人：

日本電氣股份有限公司

日本

[74]代理人：周良謀 先生

周良吉 先生

1

2

[57]申請專利範圍：

1. 一種倍頻電路，其特徵在於包括：

振盪控制電路，接受輸入之時計信號
後在該輸入之時計信號之每個週期將
第1及第2控制信號設為有效；

第1脈波產生電路，當該第1控制信號
變成有效時將係該輸入之時計信號之
倍頻時計信號之第1倍頻時計信號振
盪；

第2脈波產生電路，當該第2控制信號
變成有效時將係該輸入之時計信號之
倍頻時計信號之第2倍頻時計信號振
盪；

以及邏輯和電路，取該第1及第2倍頻
時計信號之邏輯和後輸出輸出之時計
信號。

2. 一種倍頻電路，其特徵在於包括：

振盪控制電路，接受輸入之時計信號
後在該輸入之時計信號之每個週期將
第1及第2控制信號設為有效；

產生裝置，自外部接受所輸入之倍頻

設定信號，將該倍頻設定信號表示之
倍頻數變成2倍後，產生內部倍頻設
定信號；

第1脈波產生電路，當該第1控制信號
變成有效時將係該內部倍頻設定信號
表示之值之該輸入之時計信號之倍頻
時計信號之第1倍頻時計信號振盪；

第2脈波產生電路，當該第2控制信號
變成有效時將係該內部倍頻設定信號
表示之值之該輸入之時計信號之倍頻
時計信號之第2倍頻時計信號振盪；

以及輸出電路，將該第1及第2倍頻時
計信號分頻而且取邏輯和後輸出輸出
之時計信號。

15. 3. 如申請專利範圍第1項或第2項之倍頻
電路，其中，還具有控制裝置，接受
倍頻設定信號後，在該輸入之時計信
號之一個週期之期間使該第1及第2倍
頻時計信號變成該倍頻設定信號表示
之倍頻數。

- 4.如申請專利範圍第1項或第2項之倍頻電路，其中，該第1及第2脈波產生電路各自具有將振盪時計信號振盪之振盪器及接受倍頻設定信號和該振盪時計信號後當該倍頻設定信號表示之倍頻數之該振盪時計信號振盪時令該振盪器停止之 n 倍頻控制電路，該振盪器將該振盪時計信號作為該倍頻時計信號輸出。
- 5.如申請專利範圍第4項之倍頻電路，其中，該 n 倍頻控制電路具有相位比較器，比較該輸入之時計信號之1個週期之期間之終了時刻和該振盪時計信號進行該倍頻數振盪時之終了時刻後，在該振盪時計信號之相位領先該輸入之時計信號之相位時輸出第1位準之相位比較信號，在該振盪時計信號之相位落後該輸入之時計信號之相位時輸出第2位準之相位比較信號；該振盪器當該相位比較信號為該第1位準時降低該振盪時計信號之頻率，當該相位比較信號係該第2位準時提高該振盪時計信號之頻率。
- 6.如申請專利範圍第5項之倍頻電路，其中，該振盪器具有由多段延遲元件構成之延遲電路，當該相位比較信號為該第1位準時該延遲元件之段數增加，當該相位比較信號係該第2位準時該延遲元件之段數減少。
- 7.如申請專利範圍第4項之倍頻電路，其中，該振盪器還具有寬度調整電路，在該振盪時計信號之每個時計調整該時計信號之脈寬。

圖式簡單說明：

第一圖係本發明之實施例1之倍頻電路之方塊圖。

第二圖係本發明之振盪控制電路之

電路圖。

第三圖係本發明之振盪器之電路圖(實施例1)。

5. 第四圖係本發明之 n 倍頻控制電路之電路圖。

第五圖係本發明之計數電路之電路圖(實施例1)。

第六圖係本發明之門鎖電路之電路圖。

10. 第七圖係本發明之延遲電路之電路圖(實施例1)。

第八圖係本發明之時序控制電路之電路圖。

15. 第九圖係本發明之脈波產生電路之時序圖。

第十圖係本發明之時序控制電路、計數電路以及門鎖電路之時序圖。

第十一圖係本發明之實施例2之倍頻電路之方塊圖。

20. 第十二圖係本發明之計數電路之電路圖(實施例2)。

第十三圖係本發明之輸出選擇電路之電路圖。

25. 第十四圖係本發明之實施例3之倍頻電路之方塊圖。

第十五圖係本發明之振盪器之電路圖(實施例3)。

第十六圖係本發明之移位暫存器及寬度調整電路之電路圖。

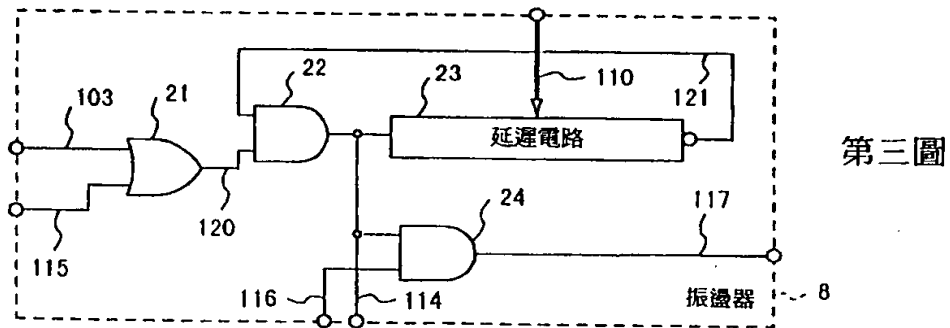
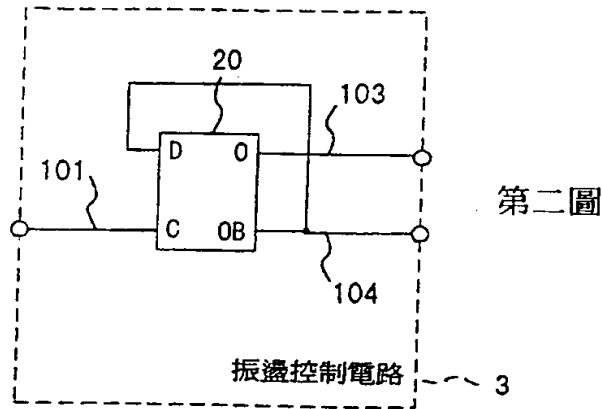
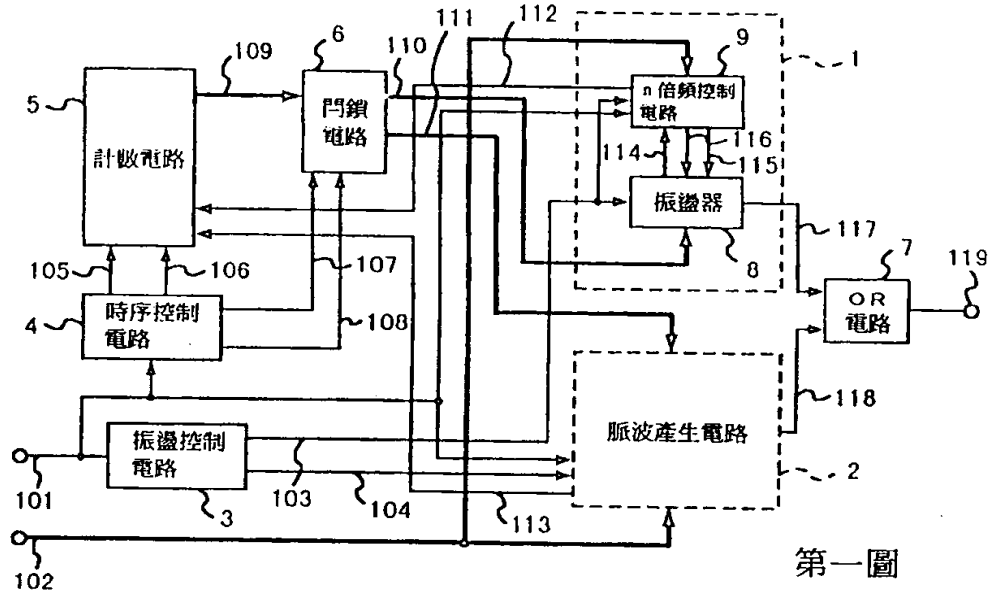
30. 第十七圖係本發明之計數電路之電路圖(實施例3)。

第十八圖係本發明之增減計數器之電路圖。

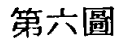
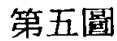
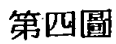
35. 第十九圖係本發明之門鎖電路之電路圖(實施例3)。

第二十圖係習知之倍頻電路之方塊圖。

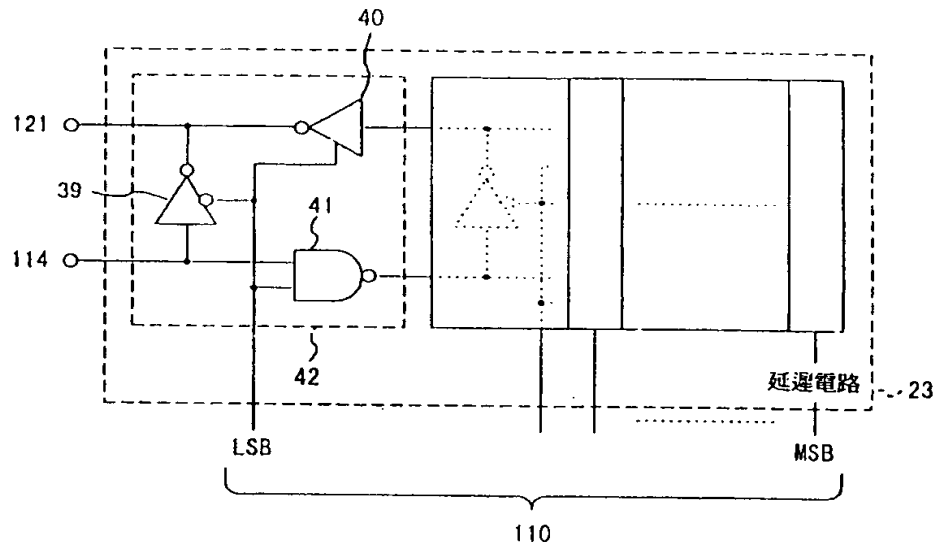
(3)



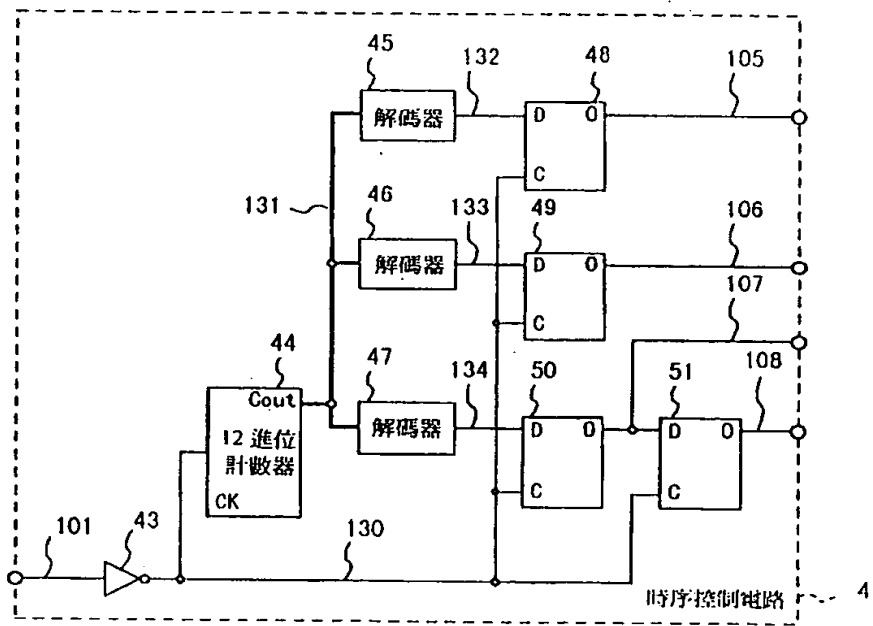
(4)



(5)



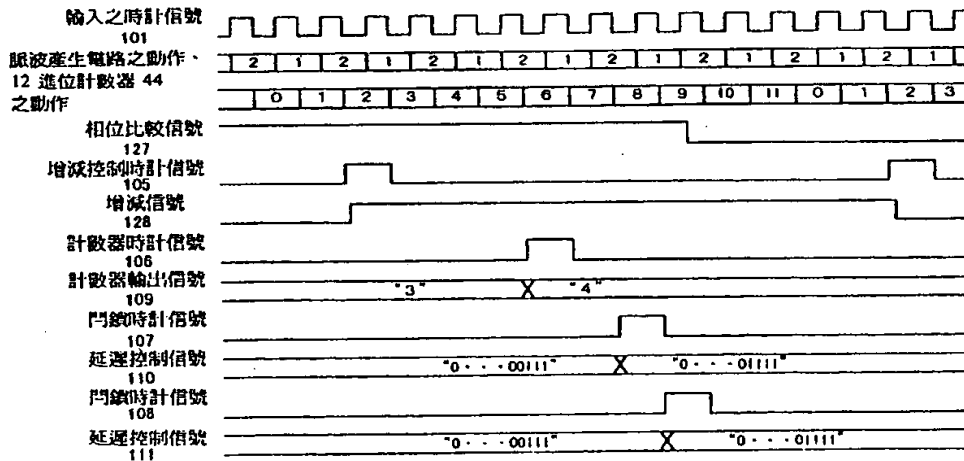
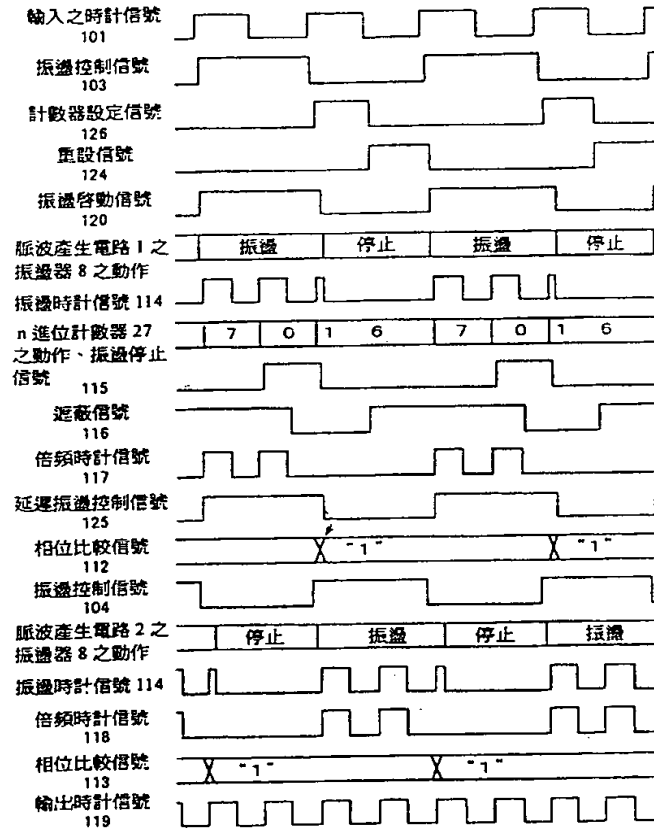
第七圖



第八圖

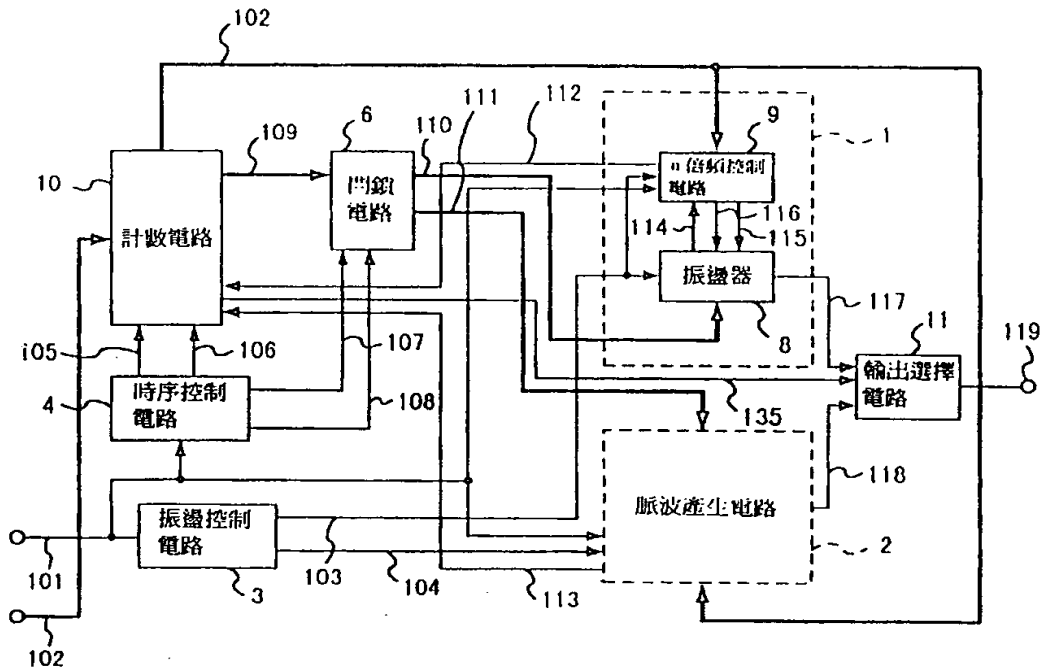
(6)

第九圖

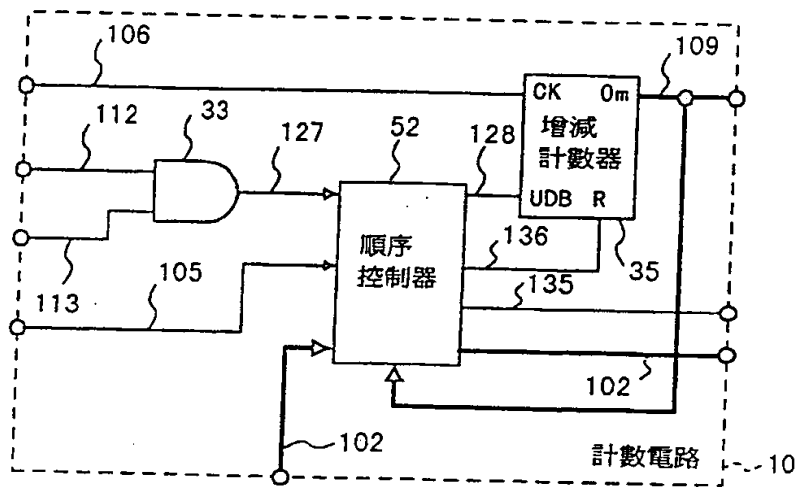


第十圖

(7)

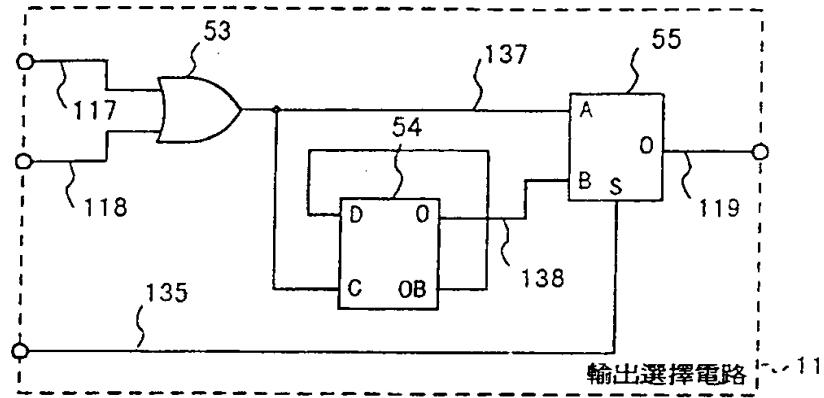


第十一圖

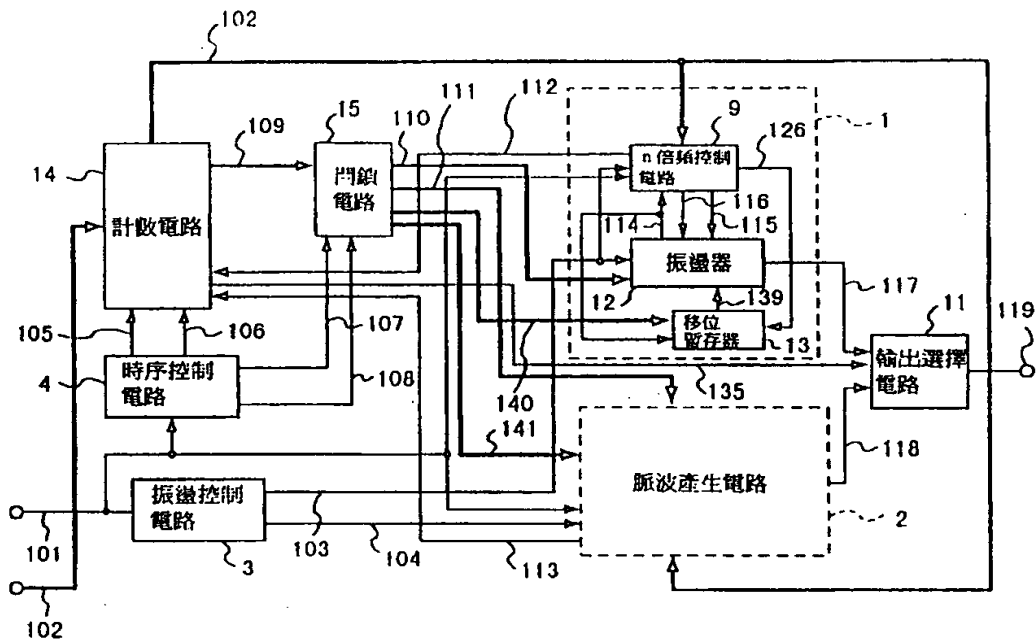


第十二圖

(8)

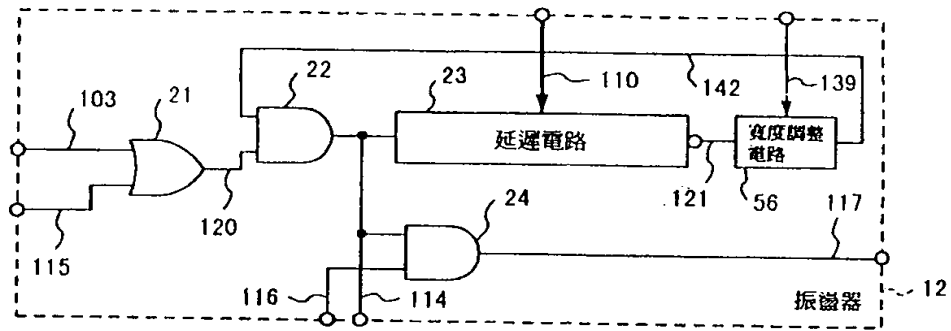


第十三圖

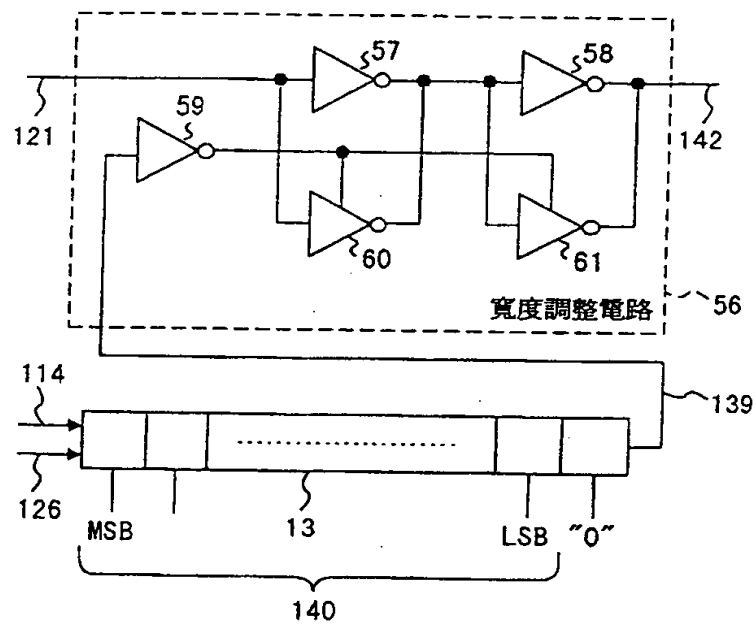


第十四圖

(9)

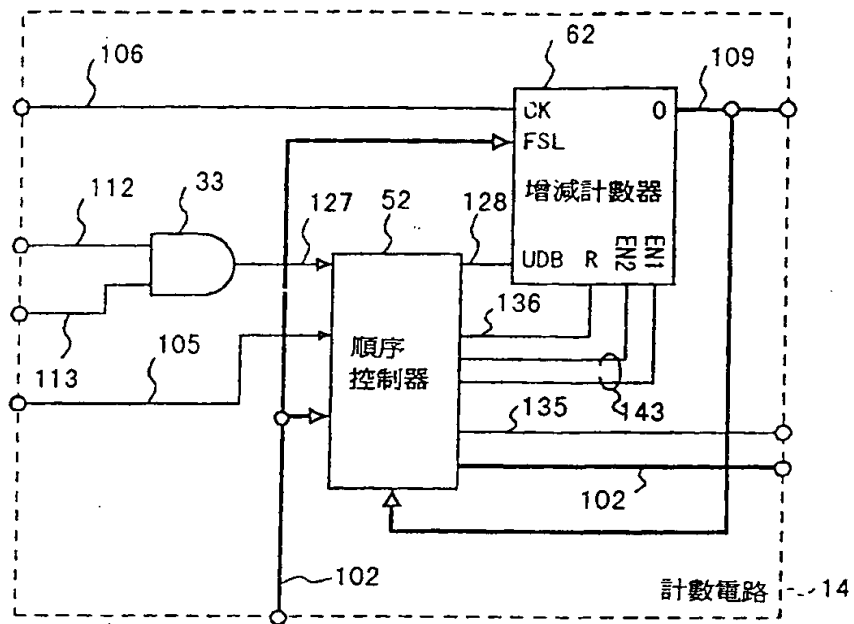


第十五圖

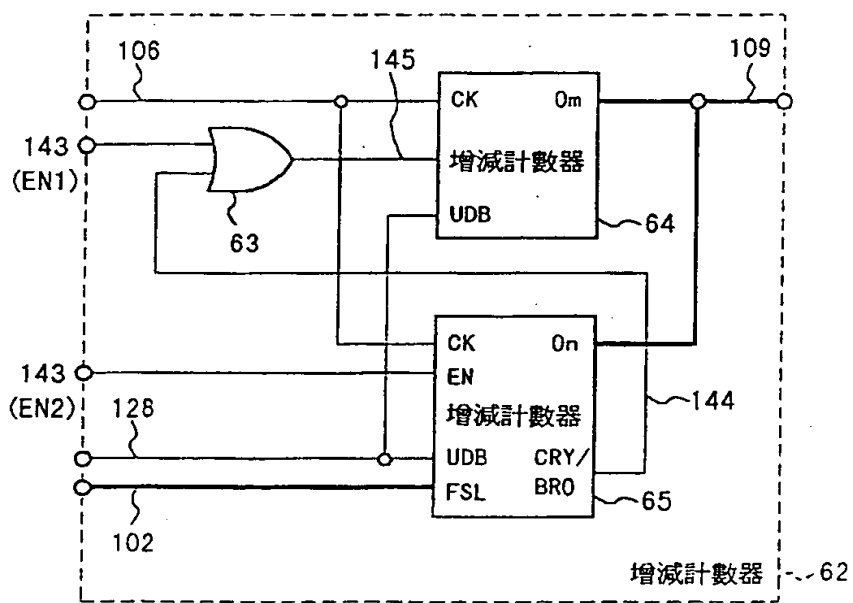


第十六圖

(10)

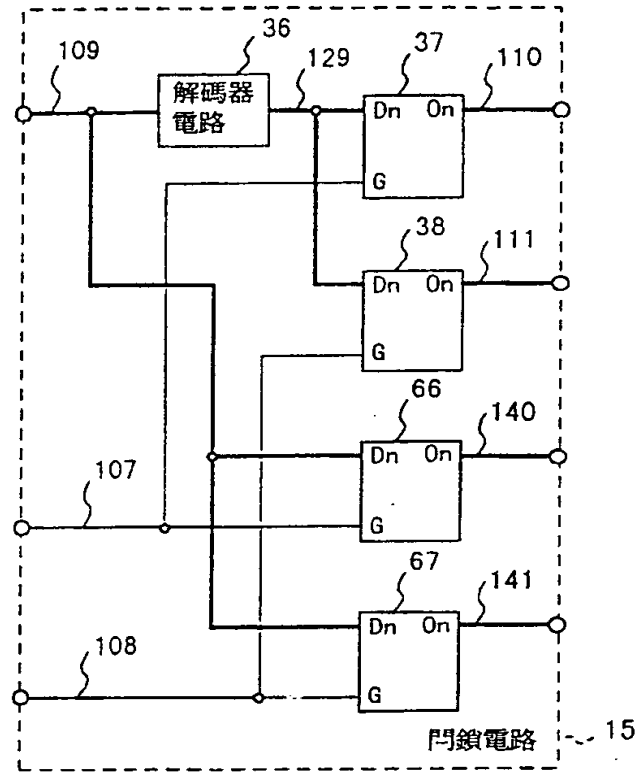


第十七圖

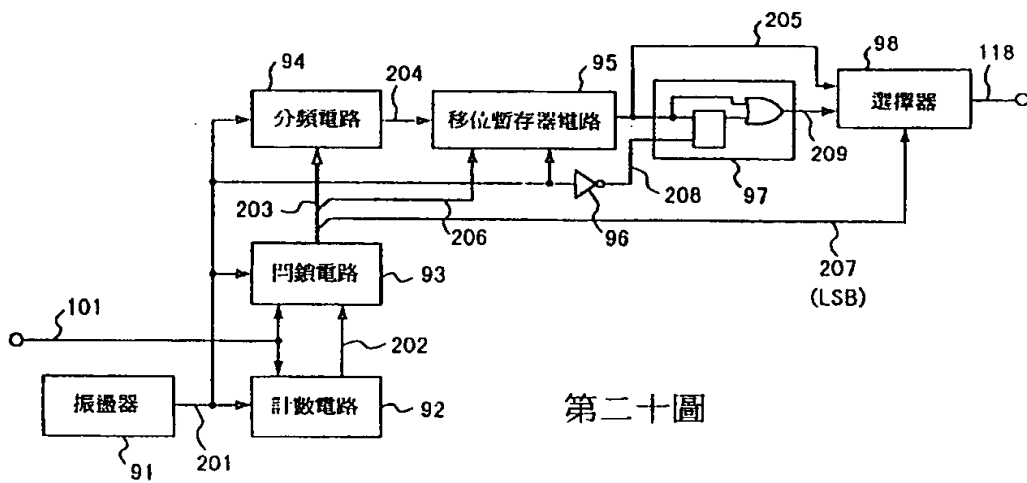


第十八圖

(11)



第十九圖



第二十圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.